

文章编号 1004-924X(2011)03-0580-07

闭环电容式微加速度计全差分 CMOS 接口电路

刘晓为, 尹 亮, 李海涛, 周治平

(哈尔滨工业大学 微电子技术科学系, 黑龙江 哈尔滨 150001)

摘要:提出了一种用于电容式微加速度计的低噪声、高线性度全差分接口电路。基于开关电容检测技术,该电路采用一种新的双路反馈结构来提高系统线性度,并采用 $2\ \mu\text{m}\ n$ 阱 CMOS 工艺完成芯片设计。仿真结果证明,电路中采用的双路反馈和全差分检测结构使系统的线性度达到 0.01% 。加入经过优化设计的比例-微分-积分控制器后,有效减小了系统稳态误差,系统响应速度提高了 31% ,系统线性度提高了 66.7% 。在 $\pm 5\ \text{V}$ 工作电压下,选取 $64\ \text{kHz}$ 作为电路采样频率时,其电路等效输入噪声为 $8\ \mu\text{g} \cdot \text{Hz}^{-\frac{1}{2}}$,系统灵敏度为 $1.22\ \text{V/g}$,线性度为 0.03% ,测量范围为 $\pm 2\ g$ 。测试结果显示,提出的电路达到高精度微加速度计系统设计的要求,可以应用到地震监测、石油勘探等领域中。

关键词:闭环电容式微加速度计;全差分接口电路;比例-微分-积分控制器;低噪声;高线性度

中图分类号:TH824.4;TN432 **文献标识码:**A **doi:**10.3788/OPE.20111903.0580

Full differential CMOS interface circuit for closed-loop capacitive micro-accelerometers

LIU Xiao-wei, YIN Liang, LI Hai-tao, ZHOU Zhi-ping

(*Department of Microelectronics, Harbin Institute of Technology, Harbin 150001, China*)

Abstract: A CMOS full differential interface circuit with low noise and high linearity was presented for closed-loop capacitive micro-accelerometers. Based on switched-capacitor detection, the circuit was designed to improve its linearity by a $0.5\ \mu\text{m}\ n$ -well CMOS process technology. The simulation result shows that the proposed two-path feedback structure provides a good system linearity of 0.01% . The optimized designed PID controller was added into the system, which decreases the stabilization error effectively, increases the system responding speed by 31% , and the linearity by 66.7% . With a $\pm 5\ \text{V}$ supply and a sampling frequency of $64\ \text{kHz}$, the circuit can offer the equivalent input noise in $8\ \mu\text{g} \cdot \text{Hz}^{-\frac{1}{2}}$, system sensitivity in $1.22\ \text{V/g}$, system linearity in 0.03% , and the work range in $\pm 2\ g$. These results prove that this circuit is suitable for applications of high performance micro-accelerometers to seism detection, oil exploration, etc..

Key words: closed-loop capacitive micro-accelerometer; full differential interface circuit; PID controller; low noise; high linearity

收稿日期:2010-06-04;修订日期:2010-08-17.

基金项目:国家 863 高技术研究发展计划资助项目(No. 2008AA04220)

1 引 言

低噪声高精度的微加速度计由于能达到低于 μg 的检测精度和具有小体积、低功耗的特点被越来越广泛地应用于惯性制导、太空微重力检测、侧翻控制和平台稳定性、地震检测以及消费市场的 GPS 导航系统中^[1-2]。由于机械敏感表头的电容变化非常微弱,需要检测的电容变化低于 10^{-18} F,因此电容式微加速度计的敏感检测电路设计成为此类加速度计的一大挑战^[3-4]。单端、开环检测接口电路由于其功耗低和结构设计简单,已广泛应用在实际产品中,但是单端检测电路芯片衬底噪声抑制能力差^[5],不利于与数字电路集成,而开环检测加速度计线性度差,无法应用到高精度检测系统中。全差分检测接口电路利用其较高的共模抑制比可以很好地抑制衬底噪声耦合,且由于其差分结构特点,电路结构整体具有较小的谐波失真特性,配合静电力闭环反馈结构将非常适合高精度微加速度计的应用。世界各大研究机构已对这种结构展开了大量的研究^[1,6],但是大多数研究只针对低噪声设计^[1]、自检测功能^[7]等,忽

略了对系统线性度、闭环系统鲁棒性、系统响应时间的研究。

本文介绍了一种基于开关电容的全差分接口电路,采用了经过优化设计的比例-微分-积分(PID)控制器来改善系统稳定性、响应时间、精度和噪声特性;提出了一种新的双路静电力反馈结构来实现闭环加速度计,经实际测试其非线性度达到 0.03%;采用片上参考电容来防止前级运放输入共模电位的饱和;采用低噪声电荷放大器、相关双采样等噪声消除技术(CDS)来消除直流偏移和抑制 $1/f$ 噪声,经测试传感器输出噪声为 $8 \mu\text{g} \cdot \text{Hz}^{-\frac{1}{2}}$ 。

2 加速度计 ASIC 设计

加速度计接口 ASIC 芯片原理如图 1 所示。整体电路采用全差分电路结构减小检测电路引入的非线性及谐波失真。检测电路包括全桥平衡模块、电荷积分模块、相关双采样模块、PID 控制模块、平衡力反馈模块和时序控制模块。 V_s^+ 和 V_s^- 分别为产生脉冲的两个正负参考源,其中 C_{p1} 和 C_{p2} 分别是传感器输出端点的寄生电容。

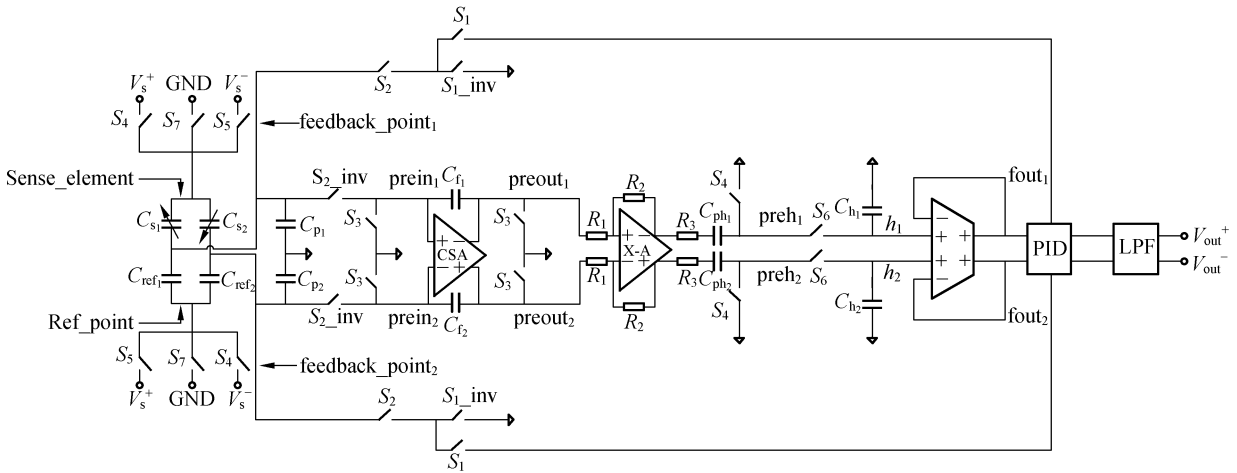


图 1 加入 PID 控制单元的全差分接口电路原理图

Fig. 1 Schematic of full differential front-end circuit with PID controller module

2.1 全差分电路结构

图 2 是全差分检测原理图。图中 SE 表示传感器的敏感质量块, C_s^+ 和 C_s^- 表示传感器敏感电容, C_f^+ 和 C_f^- 表示前级运放反馈电容, V_1^+ / V_1^- 和 V_o^+ / V_o^- 分别表示电荷放大器的输入及

输出。

周期性脉冲信号加载在敏感质量块上,通过电荷放大器来检测两个敏感电容的相对变化量。这种全差分式检测结构相对于单端检测结构,可以获得更好的衬底噪声抑制能力,提高了加速度

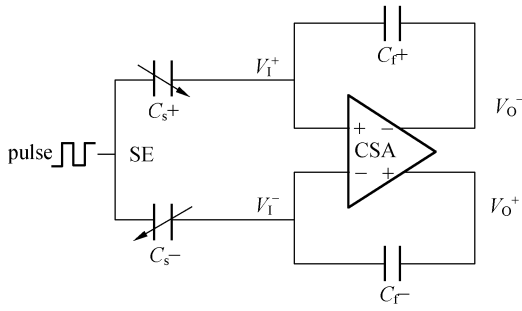


图 2 全差分检测前端电路原理图

Fig. 2 Diagram of full differential front-end circuit

计的电源抑制比(PSRR)、动态范围和谐波失真。如单端敏感电路的输出函数为:

$$V_O = a_0 + a_1 x + a_2 x^2 + \dots + a_{2n} x^{2n}, \quad (1)$$

其中 V_O 为输出电压, x 为电容结构位移。对于全差分电路结构, 由于输出为 V_{O^+} 与 V_{O^-} 相减, 因此输出表示为

$$V_O = a_1 x + a_3 x^3 + \dots + a_{2n-1} x^{2n-1}, \quad (2)$$

公式(2)与公式(1)相比, 失调项、偶次项被消除, 因此全差分检测结构具有更好的线性度及低谐波失真等特点。

2.2 加速度计 ASIC 原理设计

接口电路控制时分序 5 个相位, 包括零相位、感应相位 A、感应相位 B、采样相位和反馈相位。

零相位分为两个状态。在状态 A, S_{1_inv} , S_2 和 S_7 闭合来泄放敏感电容上的电荷。在状态 B, 前级运放输入端点与传感器输出端点接通来准备下个感应相位的信号检测。在感应相位 A, 首先将连接前级运放输入输出与地之间的 S_3 断开, 此时这几个开关的噪声可能注入到 C_{f1} 和 C_{f2} 中, 因此 S_3 需要设计成面积最小并使用虚拟管保护来使噪声注入最小化。然后敏感单元上加正向脉冲, 输出信号被保存在 CDS 模块的电容 C_{ph1} 和 C_{ph2} 中, 表达式为:

$$\Delta V_{preh} = V_{preh1} - V_{preh2} = V_{error} - A V_{s+} \frac{\Delta C_s}{C_f}, \quad (3)$$

其中 ΔC_s 为传感器差分电容之差; A 为电路放大因子; V_{error} 为误差电压, 包括直流偏移电压和 $1/f$ 噪声。

在感应相位 B, 敏感单元上加正向脉冲, 输出信号与感应相位 A 保存在电容 C_{ph1} 和 C_{ph2} 中的电压相减, 减小了直流偏移和 $1/f$ 噪声, 表达式为:

$$\Delta V_{preh} = A \Delta V_s \frac{\Delta C_s}{C_f}. \quad (4)$$

其中 ΔV_s 为信号脉冲。

在采样相位, 经过 CDS 处理后的最终输出电压被保存在 C_{h1} 和 C_{h2} 中。最终信号输出为:

$$\Delta V_{fout} = A K_2 \Delta V_s \frac{\Delta C_s}{C_f}, \quad (5)$$

其中 K_2 为 PID 控制器比例放大因子。

在反馈相位, 信号保持在 C_{h1} 和 C_{h2} 中。从端点 V_{fout1} 和 V_{fout2} 接通到传感器输出端点 $V_{feedback_point1}$ 和 $V_{feedback_point2}$ 来完成反馈。CSA 输入与传感器输出端点断开并且与 CSA 输出同时接地来泄放 CSA 反馈电容上的电荷。 V_{s-} 加在传感器敏感单元上来生成静电耦合力。此时反馈力的表达式为:

$$F_{fb} = \frac{2C_s(V_{ocm} - V_{s-})V_O}{d_0}. \quad (6)$$

这里 V_{ocm} 为系统输出共模电平, V_O 为双端输出相对于共模电平的偏移量, 即正向输出端与共模电平之差。从这个表达式可以看出反馈力与差分信号输出成线性关系。

2.3 全差分放大器设计

图 3 为前级运放电路结构。前级运放设计对系统性能影响很大, 需要从噪声特性、建压时间、工作带宽、负载能力、采样失真率、电路功耗和面积特性折中考虑设计。输出共模反馈模块采用的运放需要有高的共模开环增益、足够的带宽、共模反馈环路必须稳定^[8]。实际上, 从运放采用二极管负载来提供小的直流增益和大的带宽, 从而保

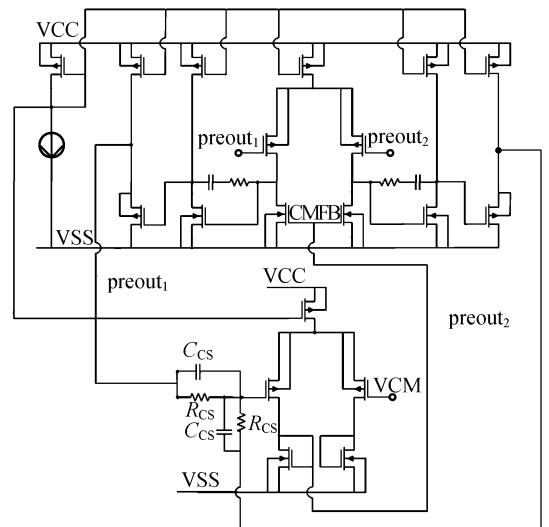


图 3 前级运放电路结构

Fig. 3 Schematic of preamplifier

证了共模反馈环路的稳定性;用两对相同的电阻和电容来检测主运放输出端共模电压。由于主运放有输出级,因此电阻对 R_{cs} 取值不必很大,但是电阻对 R_{cs} 与从运放输入管电容会引入一个极点,到共模反馈回路当中,因此加入电容对 C_{cs} 来引入一个零点以保证共模反馈回路在高频的稳定性^[9]。

主运放输入管采用大面积的 PMOS 管输入来减小等效输入噪声;BS 短接来消除背栅效应以获得高的 CMRR 和改进匹配。在设计过程中,前级运放输入管过饱和电压可以选取减小数值如 0.2 V,在相同偏置电流下获得高跨导 g_m ;对于各级提供电流偏置的电流源和电流镜元件,应设计为较大的过饱和电压来减小对输入等效噪声的影响并且满足器件匹配的要求;输出级的源级跟随器需要 BS 相连来提供稳定的增益。

2.4 PID 反馈电路设计

ASIC 芯片中采用 PID 电路结构进行静电力反馈,加速度计的系统闭环等效公式为:

$$Mx'' + (b + b_e)x' + (k + k_e)x = a_{EXT}M, \quad (7)$$

其中 x 为质量块位移, M 为机械活动质量块的质量, b 为传感器阻尼, k 为传感器刚度, a_{EXT} 为外界加速度信号。PID 反馈电路的比例项、积分项增加了系统的电刚度 k_e , 微分项则增加了系统的电阻尼 b_e 。对于低噪声的机械敏感表头,由于表头采用了真空封装,系统阻尼过低,又由于电容检测电路存在其它极点,因此闭环系统的稳定性存在问题。本文采用 PID 的微分电路,通过增加电阻尼的方法使闭环加速度计系统处于临界阻尼状态,从而提高了系统的稳定性。电路原理图如图 4 所示。

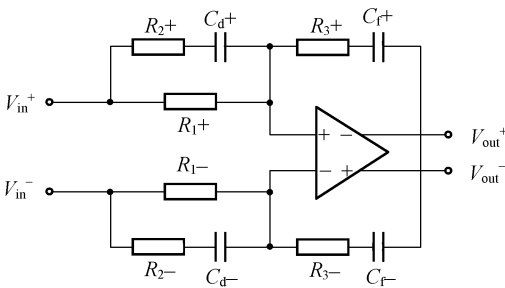


图 4 PID 反馈电路结构

Fig. 4 Schematic of PID feedback circuit

加速度计开环传递函数为:

$$H(s) = \frac{A_0 \left(\frac{s}{z_1} + 1 \right) \left(\frac{s}{z_2} + 1 \right)}{s \left(\frac{s}{p_1} + 1 \right) \left(\frac{s}{p_2} + 1 \right) \left(\frac{s}{p_3} + 1 \right)}, \quad (8)$$

$$z_1 = \frac{1}{R_3 C_f}, \quad (9)$$

$$z_2 = \frac{1}{(R_1 + R_2) C_d}, \quad (10)$$

$$p_0 = 0, \quad (11)$$

$$p_{1,2} = \frac{b \pm j \sqrt{b^2 - 4Mk}}{2M}, \quad (12)$$

$$p_3 = \frac{1}{R_2 C_d}, \quad (13)$$

由公式(8)~(13)可知,加速度计开环主极点为 0,其相位偏移可由零点 z_1 进行补偿。当加速度计表头阻尼 b 较小时,系统产生复数极点,该复数极点近似为加速度计谐振频率:

$$\omega_n = \sqrt{\frac{k}{M}}. \quad (14)$$

在该谐振频率处,传递函数相位变化接近 180°,引入系统稳定性问题。在设计中将零点 z_2 调整到小于谐振频率处进行相位补偿,并将极点 p_3 调整到远离谐振频率处,从而保证系统的闭环稳定性。

3 仿真结果

图 5 为加 PID 控制器前后的阶跃信号响应对比,其中实线表示无 PID 控制器的信号响应,虚线表示加 PID 控制器的信号响应。建立 5% 精度的信号分别需要 1.64 ms 和 1.16 ms,即 PID 控制器使响应速度提高了 31%。信号的稳态误差也得到了有效控制。

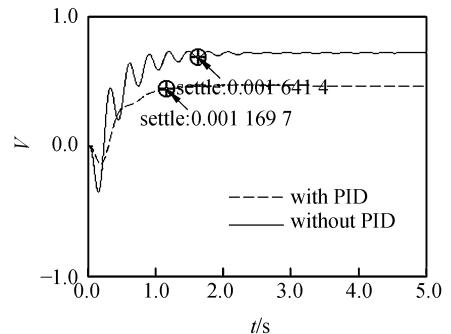


图 5 加 PID 控制器前后阶跃信号响应

Fig. 5 Step input response with/without PID controller

图 6 为系统线性度对比图,由图可知采用 PID 控制器后线性度提高了 66.7%。这是由于引入了比例积分项,直流增益为无穷大,增加了环路直流增益,从而提高了系统线性度。

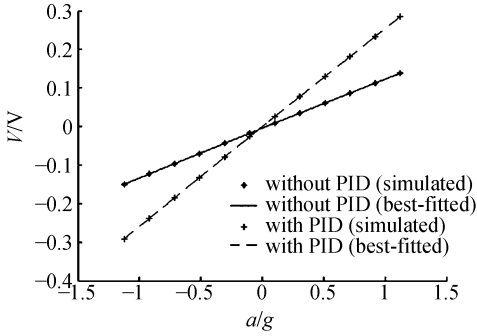


图 6 加 PID 前后线性度对比

Fig. 6 Linearity comparison with/without PID controller

4 测试结果

图 7 为混合封装的电容式闭环加速度计和接口电路芯片。ASIC 芯片采用 $2\ \mu\text{m}$ n 阱双金属双多晶 CMOS 工艺进行版图设计,版图面积为 $4.6\ \text{mm} \times 3.7\ \text{mm}$ 。对电容式闭环加速度计进行阶跃响应实验,其测试结果如图 8,9 所示,当不采用 PID 反馈调整时,传感器呈现欠阻尼状态,建立时间较长。采用优化参数的 PID 反馈结构后,加速度计建立时间明显减小。闭环加速度计频响曲线如图 10 所示,传感器带宽 $> 1\ \text{kHz}$,带宽范围内具有较好的平坦度。

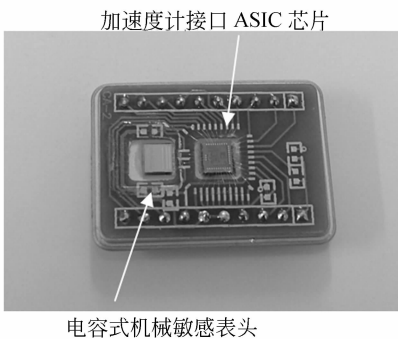


图 7 加速度计表头与接口电路芯片

Fig. 7 Hybrid packaged accelerometer and interface chip

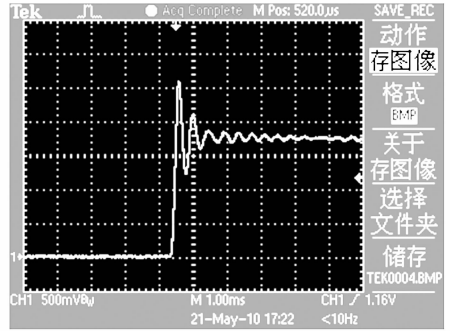


图 8 加 PID 控制器前阶跃信号响应

Fig. 8 Step input response without PID controller

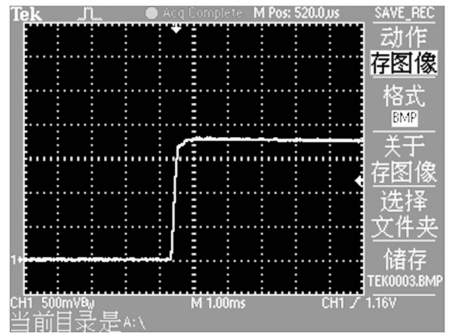


图 9 加 PID 控制器后阶跃信号响应

Fig. 9 Step input response with PID controller

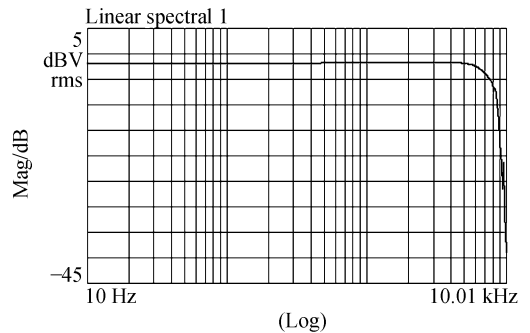


图 10 加速度计频率响应

Fig. 10 Frequency response of accelerometer

表 2 为本文电路与已发表论文电路性能对比结果。从中可以看出,本电路由于采用了 PID 控制器和一种新的双路反馈电路,获得了较好的线性度。同时,系统噪声也经过了优化设计,加速度计噪声密度为 $8\ \mu\text{g}/\text{Hz}^{1/2}$ 。

表2 本文电路测试结果与已发表电路性能比较

Tab.2 Comparison between tested results and those published

参考文献	采样频率 /Hz	工作电压 /V	工艺 / μm	RMS 等效输入噪声 / $(\mu\text{g} \cdot \text{Hz}^{-\frac{1}{2}})$	非线性度	灵敏度 $(\text{V} \cdot \text{g}^{-1})$	量程 /g
Amini [6]	1 M	2.5	0.25	5	—	0.5	—
Kulah [10]	200 k	5	3	<100	—	—	—
Baschirotto [11]	50 k	5	0.5	26.1	—	—	± 1
Wu [12]	—	5	0.5	6.5	0.1 %	0.13	± 6
Petkov [13]	850 k	5	0.5	13.5	—	—	—
Lee [14]	125 k	5	0.6	8.4	1 %	0.045	± 50
本文电路	64 k	10	2	8	0.03 %	1.22	± 2

5 结 论

本文介绍了一种用于闭环电容式微加速度计的全差分接口电路。电路采用全差分检测消除电路衬底噪声,降低系统谐波失真。采用低噪声电

荷放大器、相关双采样提高电路信噪比。采用双路静电力反馈、PID 反馈控制电路提高系统稳定性及线性度,并降低系统建立时间。该电路结构简单,性能良好,与电容加速度计表头匹配测量结果为:噪声密度 $8 \mu\text{g}/\text{Hz}^{1/2}$,非线性为 0.03%,达到了高精度的应用要求。

参考文献:

- [1] KÜLAH H, CHAE J, YAZDI N, *et al.*. Noise analysis and characterization of a sigma-delta capacitive microaccelerometer [J]. *IEEE Journal of Solid-State Circuits*, 2006,41(2):352-361.
- [2] AALTONEN L, HALONEN K. Continuous-time interface for a micromachined capacitive accelerometer with NEA of $4 \mu\text{g}$ and bandwidth of 300 Hz [J]. *Sensors and Actuators A*, 2009,154:46-56.
- [3] LEE W F, CHAN P K. A capacitive-based accelerometer IC using injection-nulling switch technique [J]. *IEEE Transactions on Circuits and Systems I*, 2008,55(4):980-989.
- [4] TAN X Y, ZHOU X ZH, XU N, *et al.*. Error analysis on numerical double integration in acceleration measurement with clock jitter [J]. *Opt. Precision Eng.*, 2009,17(7):1630-1634.
- [5] YIN L, CHEN W P, LIU X W, *et al.*. CMOS interface circuit for closed-loop accelerometer [J]. *Opt. Precision Eng.*, 2009,17(6):1311-1315.
- [6] AMINI B V, AYAZI F. A 2.5V 14-bit sigma-delta CMOS-SOI capacitive accelerometer [J]. *IEEE Journal of Solid State Circuits*, 2004, 39(12): 2467-2476.
- [7] LIU Y T, YIN L, CHEN W P, *et al.* Design of interface circuit of closed-loop accelerometer with self test function [J]. *Opt. Precision Eng.*, 2009,17(6):1379-1385.
- [8] BANU M, KHOURY J M, TSIVIDIS Y. Fully differential operational amplifiers with accurate output balancing [J]. *IEEE Journal of Solid-State Circuits*, 1988,23(6):1410-1414.
- [9] SANSEN W M C. Analog design essentials [M]. 陈莹梅,译. 北京:清华大学出版社,2008.
- [10] KÜLAH H, YAZDI N, NAJAFI K. A CMOS switched-capacitor interface circuit for an integrated accelerometer [C]. *Proceedings of 43rd IEEE Midwest Symposium on Circuits and Systems, Lansing*, 2000:244-247.
- [11] BASCHIROTTO A, GOLA A, CHIESA E, *et al.*. A $\pm 1 \text{ g}$ dual axis linear accelerometer in a standard $0.5 \mu\text{m}$ CMOS technology for high-sensitivity applications [J]. *IEEE Journal of Solid-State Circuits*, 2003, 38(7):1292-1297.
- [12] WU J, FEEDER G K, CARLEY L R. A low-noise low-offset capacitive sensing amplifier for a $50 \mu\text{g}/\sqrt{\text{Hz}}$ monolithic CMOS MEMS accelerometer [J]. *IEEE Journal of Solid-State Circuits*, 2004,39(5):722-730.
- [13] PETKOV V P, BOSER B E. A fourth-order interface for micromachined inertial sensors [J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(8): 1602-1609.

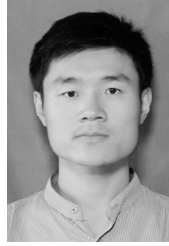
[14] LEE W F, CHAN P K. A capacitive-based accelerometer IC using Injection-Nulling Switch Tech-

nique [J]. *IEEE Transactions on circuits and systems I*. 2008, 55(4):980-989.

作者简介:

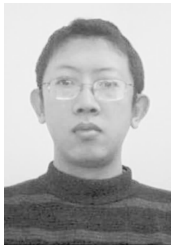


刘晓为(1955—),男,黑龙江哈尔滨人,博士,教授,博士生导师,1982年、1988年、2003年于哈尔滨工业大学分别获得学士、硕士、博士学位,主要从事半导体器件物理、半导体工艺、集成传感器、MEMS技术,模数混合集成电路,微型燃料电池和纳米薄膜等方面的研究。E-mail: lxw@hit.edu.cn



李海涛(1984—),男,河南许昌人,硕士,2007年、2009年于哈尔滨工业大学分别获得学士、硕士学位,主要从事集成传感器接口集成电路设计的研究。E-mail: haitaoli7036@gmail.com

通讯作者:



尹亮(1977—),男,黑龙江哈尔滨人,博士研究生,2000年于黑龙江大学获得学士学位,2005年于哈尔滨工业大学获得硕士学位,主要从事集成传感器接口集成电路设计的研究。E-mail: yinliang2003@126.com

导师简介:



周治平(1956—),男,湖南衡南人,博士,教授,博士生导师,1982年、1984年于华中科技大学分别获学士、硕士学位,1993年于美国乔治亚理工学院获得博士学位,主要从事半导体器件物理、半导体工艺、集成传感器、MEMS技术、超高速光通信、集成光电子学及微/纳米量级光电系统集成等方面的研究。E-mail: zjzhou@pku.edu.cn

● 下期预告

电场作用下染料掺杂液晶器件的激光辐射

岱 钦,乌日娜,杨 健,徐送宁,全 薇
(沈阳理工大学理学院,辽宁 沈阳 110159)

基于掺杂激光染料 DCM 和手性剂 CB15、向列相液晶 TEB30A、制作了平面排列态液晶器件。采用 Nd:YAG 倍频 532 nm 波段激光作为泵浦光源,测量分析了平行于液晶器件表面方向的受激辐射光谱。当泵浦光较弱时,观察到染料 DCM 较宽的荧光辐射谱,随着泵浦光的逐渐增强,辐射谱带逐渐变窄,辐射峰中心波长为 611 nm,最小半峰全宽(FWHM)为 12 nm。通过在器件玻璃基板上施加交流电场,观察激光辐射的变化情况。结果显示,当外加电压 <7 V 时,随着电压的增大,辐射强度逐渐减弱;当电压 >7 V 时,强度迅速衰减,谱线变宽,展现了较好的电场控制特性。分析认为这种现象主要是由于电场作用下液晶分子取向发生变化所致。